

# PORTES LÒGIQUES AMB DÍODES I TRANSISTORS NMOS

## Abans d'anar al laboratori

- 1 - Estúdieu l'apartat 1 sobre el fonament teòric d'aquesta pràctica.
- 2 - Resoleu els exercicis plantejats a l'apartat 2. La resolució l'haureu de lliurar al professor del laboratori a l'inici de la pràctica.
- 3 - Llegiu els apèndixs B i C sobre el funcionament del polímetre i l'oscil·loscopi.

## Objectius:

- a) **Visualització de la corba característica d'un díode i de la característica de transferència d'un transistor NMOS de potència.**
- b) Construcció de portes lògiques **OR** i **AND** amb díodes.
- c) Construcció de portes lògiques **NOT**, **NOR**, **NAND**, **OR** i **AND** amb transistors NMOS.

## 1. Fonament teòric

### 1.1 Portes lògiques

Una **porta lògica** és un dispositiu que implementa una **funció booleana**. És a dir, realitza una operació lògica en funció d'una o més entrades, produint en cada cas una única sortida. Actualment s'implementen en circuits integrats fabricats a partir de la **tecnologia CMOS** (Complementary Metall Oxide Semiconductor), basada en l'ús de transistors **NMOS** i **PMOS**. Tanmateix, en aquesta pràctica, construirem diferents portes lògiques amb **díodes d'unió** i **transistors NMOS**.

### 1.2 Díode d'unió

És un dispositiu semiconductor amb una **unió p-n** i dos terminals, que permet el pas de corrent en un sentit però no en l'altre, fet pel qual es pot utilitzar com **interruptor**. A la figura 1 es mostra la gràfica de la **corba característica** ( $V_d, I$ ) del circuit, que també es mostra a la figura. Aquest està format per l'associació d'una font de tensió de fem  $\varepsilon$ , una resistència  $R$  i un díode que està en **polarització directa**.  $V_d$  és la tensió al díode,  $I$  la intensitat que circula pel circuit,  $V_R$  la diferència de potencial a la

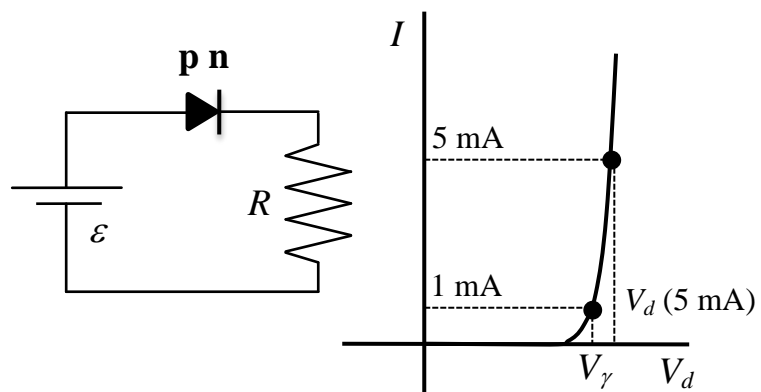


Figura 1

resistència i  $V_\gamma$  el **potencial de contacte o tensió llindar**, que és el valor de  $V_d$  a partir del qual  $I$  augmenta de forma notable. En aquesta pràctica aplicarem el criteri de que  $V_\gamma$  és el valor de  $V_d$  pel que  $I = 1 \text{ mA}$ . Generalment  $V_\gamma = 0.6$  o  $0.7 \text{ V}$ . Com la fem  $\varepsilon$  de la font de tensió serà de  $5 \text{ V}$  i la resistència de  $1 \text{ k}\Omega$ , la intensitat serà d'uns  $5 \text{ mA}$ . Per aquest motiu també determinarem el valor de  $V_d$  pel que  $I = 5 \text{ mA}$ . Cal dir que si s'inverteix la polaritat de la font de tensió el díode estarà **en polarització inversa i no conduirà**. Per saber més detalls sobre el funcionament del díodes consulteu la pràctica Díodes: Característiques i aplicacions.

### 1.3 Portes lògiques OR i AND amb díodes

A la figura 2 es mostra l'esquema d'una **porta OR** construïda amb **dos díodes**, així com la seva **taula de veritat**. A les **entrades A i B**, que estan connectades a les parts p dels díodes, s'aplica un senyal de **0 o 5 V**, que correspon respectivament als **valors lògics 0 i 1**, i s'analitza la tensió a la **sortida**. En funció de les tensions a les entrades tenim:

- Si  $V_A = V_B = 0$  els dos díodes estan en **polarització inversa, no condueixen** i  $V_{OUT} = 0$ , que correspon al **valor lògic 0**.
- Si  $V_A = 0$  i  $V_B = 5 \text{ V}$  el díode **A** està en **polarització inversa**, però el **B** està en **directa**. Com **B condueix**,  $V_{OUT} = 5 - V_d$ . Al ser  $V_d$  petit, el **valor lògic és 1**.
- Si  $V_A = 5 \text{ V}$  i  $V_B = 0$ , només **condueix el díode A** i  $V_{OUT} = 5 - V_d$ . De nou el **valor lògic és 1**.
- Si  $V_A = V_B = 5 \text{ V}$  **ambdós díodes condueixen** i  $V_{OUT} = 5 - V_d$ . També el **valor lògic és 1**.

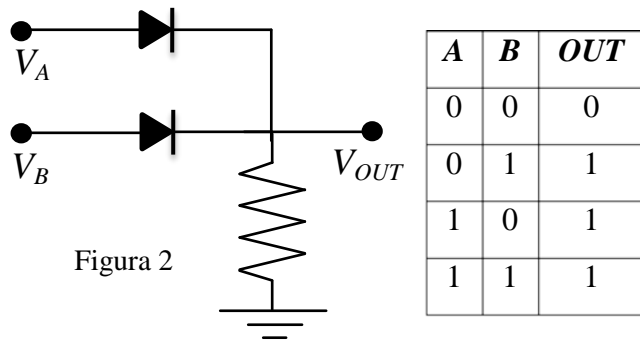


Figura 2

A la figura 3 es mostra l'esquema d'una **porta AND** construïda amb **dos díodes**, així com la seva **taula de veritat**. A les **entrades A i B**, que estan connectades a les parts n dels díodes, s'aplica un senyal de **0 o 5 V** i s'analitza la tensió a la **sortida**. En funció de les tensions a les entrades tenim:

- Si  $V_A = V_B = 0$  els **dos díodes** estan en **polarització directa, condueixen** i  $V_{OUT} = V_d$ , que correspon al **valor lògic 0**.
- Si  $V_A = 0$  i  $V_B = 5 \text{ V}$  el díode **A** està en **polarització directa** i el **B** en **inversa**. Com **A condueix**,  $V_{OUT} = V_d$ . Per tant, el **valor lògic és 0**.
- Si  $V_A = 5 \text{ V}$  i  $V_B = 0$ , només **condueix el díode B** i  $V_{OUT} = V_d$ . També el **valor lògic és 0**.

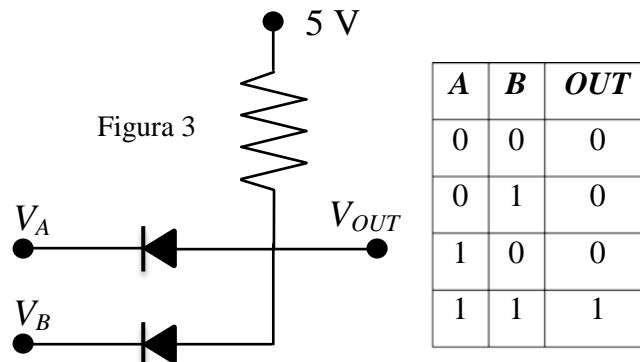


Figura 3

- Si  $V_A = V_B = 5 \text{ V}$  cap díode condueix i  $V_{OUT} = 5 \text{ V}$ , que correspon al valor lògic 1.

Cal dir que en aquesta pràctica, com  $R = 1 \text{ k}\Omega$  i  $\varepsilon = 5 \text{ V}$ ,  $V_d$  serà el valor de la tensió del díode pel que  $I = 5 \text{ mA}$ .

### 1.4 Transistor NMOS

Un transistor és un dispositiu semiconductor, amb el que es produeix un senyal de sortida en resposta a un d'entrada, que s'utilitza com a **commutador** i **amplificador**. Pel seu baix consum, petites dimensions i simplicitat de fabricació, el **MOSFET** (Metal Oxide Semiconductor Field Effect Transistor) **d'enriquiment de canal** és el tipus de transistor més utilitzat en circuits de memòria i lògica digital.

A la figura 4 es mostra un **MOSFET d'enriquiment de canal n** o **NMOS**. Consisteix en un substrat de material semiconductor lleugerament dopat tipus "p" on, utilitzant tècniques de difusió d'impureses, s'han creat dues zones o illes (**Font S** i **Drenador D**) fortament dopades i de tipus diferent a la del substrat, és a dir "n". Per sobre de l'espai entre les illes s'afegeix una superfície aïllant d'**òxid**, que es culmina amb una capa metàl·lica (**Porta G**). Com el substrat, que generalment està al mateix potencial que la font, té una gran resistivitat, la **conducció** entre les dues illes només és possible si, a més d'establir una diferència de potencial entre S i D ( $V_{DS}$ ), entre G i S s'aplica una tensió ( $V_{GS}$ ) superior a un valor **llindar**  $V_T$ . D'aquesta forma, sota la porta (G) es crea un **camp elèctric** prou intens perquè portadors minoritaris del substrat, i d'altres provinents de les illes, s'acumulin en aquesta regió i es creï una **zona d'inversió** o canal tipus n, per on circularà el corrent.

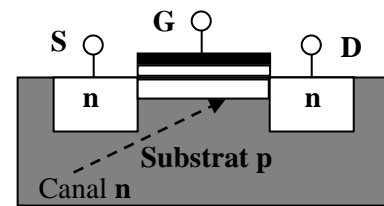


Figura 4

A la figura 5 es mostra l'esquema d'un circuit amb un **NMOS** en la **configuració en font comuna**, una resistència  $R_D$  i dues fonts de tensió de fem  $V_{DD}$  i  $V_{GS}$ , polaritzades de manera que  $V_{GS} > 0$  i  $V_{DS} > 0$ . Si  $V_{GS} < V_T$ , no es crea el mínim canal perquè hi hagi un corrent, malgrat que  $V_{DS} > 0$ , i es diu que el NMOS està en la **zona de tall**. Si  $V_{GS} > V_T$  i  $V_{DS} > 0$  (però no gaire gran) el transistor condueix, la intensitat  $I_D$  que circula per  $R_D$  augmenta amb  $V_{DS}$ , el NMOS es comporta com una resistència i es diu que està a la **zona òhmica**. Si  $V_{GS} > V_T$  i  $V_{DS} > 0$ , i respecte el cas anterior  $V_{DS}$  **continua augmentant**, molts dels electrons del canal n aniran directament al drenador i la intensitat es mantindrà constant. El transistor està a la **zona de saturació**. En resum:

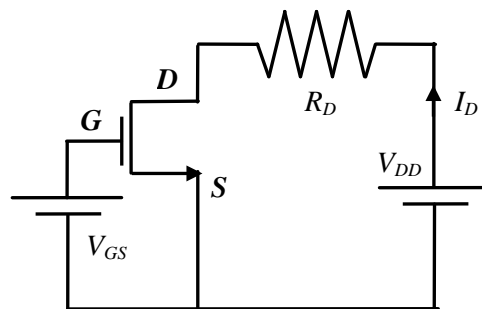


Figura 5

- Si  $V_{GS} < V_T$  el NMOS està en **tall** i la intensitat  $I_D = 0$ .
- Si  $V_{GS} > V_T$  i  $V_{DS} < V_{GS} - V_T$ , el NMOS està en **òhmica**.
- Si  $V_{GS} > V_T$  i  $V_{DS} > V_{GS} - V_T$ , el NMOS està en **saturació**.

La **característica de transferència** ( $V_{GS}, V_{DS}$ ) mostra la dependència de la tensió  $V_{DS}$  en funció de  $V_{GS}$ . A la figura 6 s'ha representat la corresponent al **transistor IRF840** amb una resistència  $R_D = 1 \text{ k}\Omega$  i  $V_{DD} = 5 \text{ V}$ . Aquest NMOS es fa servir com a interruptor en **circuits de potència** i l'utilitzarem en aquest pràctica. Com es pot observar, a la **regió**

**de tall** ( $V_{GS} < V_T$ ) el NMOS **no condueix** i  $V_{DS} = V_{DD}$ . Quan està a la **zona òhmica** ( $V_{GS} > V_T$ ) el transistor condueix i  $V_{DS}$  és nul·la. A diferència d'un NMOS convencional, per aquest transistor, la zona de saturació és quasi inexistent.

Una explicació més detallada dels transistors NMOS, PMOS i CMOS la trobareu a l'enunciat de la pràctica Transistors NMOS i PMOS: Caracterització i porta NOT.

### 1.5 Porta lògica NOT amb un NMOS

A la figura 7 es mostra l'esquema d'un circuit inversor o **porta NOT**. Està format per una resistència, un transistor NMOS i una font de tensió amb una fem  $V_{DD} = 5\text{ V}$ , connectada entre la resistència i la font del transistor. En aquest cas el senyal d'entrada  $V_{IN}$  és la diferència de potencial  $V_{GS}$ , mentre que el senyal de sortida  $V_{OUT}$  és  $V_{DS}$ . En funció dels valors 0 i 5 V a l'entrada, s'observa que:

- Si  $V_{IN} = 0\text{ V}$ , que correspon a un **valor lògic 0**, el transistor està en **tall**. En aquest cas per la resistència  $R_D$  no circula corrent i  $V_{OUT} = V_{DD} = 5\text{ V}$ , que correspon al **valor lògic 1**.
- Si  $V_{IN} = 5\text{ V}$ , que correspon a un **valor lògic 1**, el transistor està en **òhmica**. Per la resistència passa prou corrent perquè tota la tensió caigui a la resistència, de forma que la tensió a la sortida serà  $V_{OUT} = 0$ , que correspon al **valor lògic 0**.

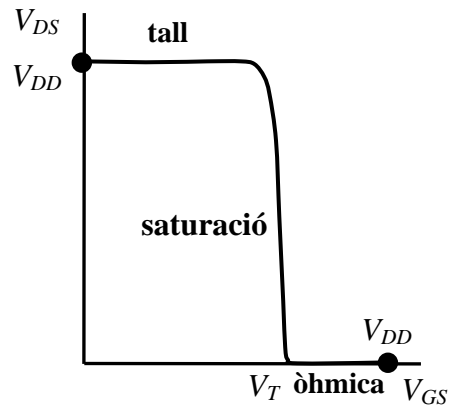


Figura 6

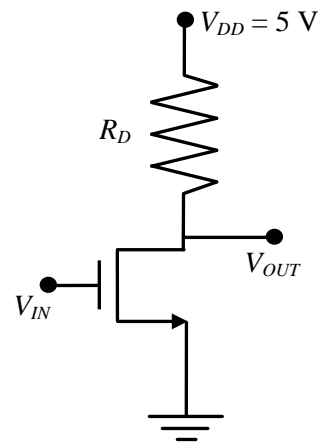


Figura 7

### 1.6 Portes lògiques NAND i NOR amb NMOS

A la figura 8 es mostra els esquemes de les **portes NAND i NOR** construïdes amb **dos NMOS**, així com la seva **taula de veritat**. A les **entrades A i B**, que estan connectades

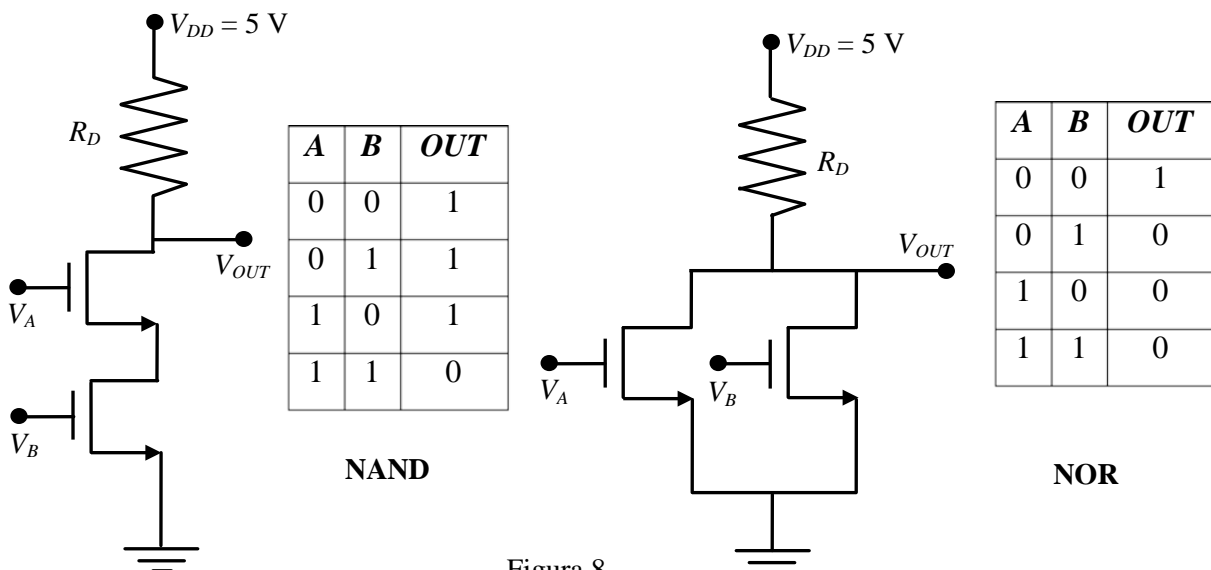


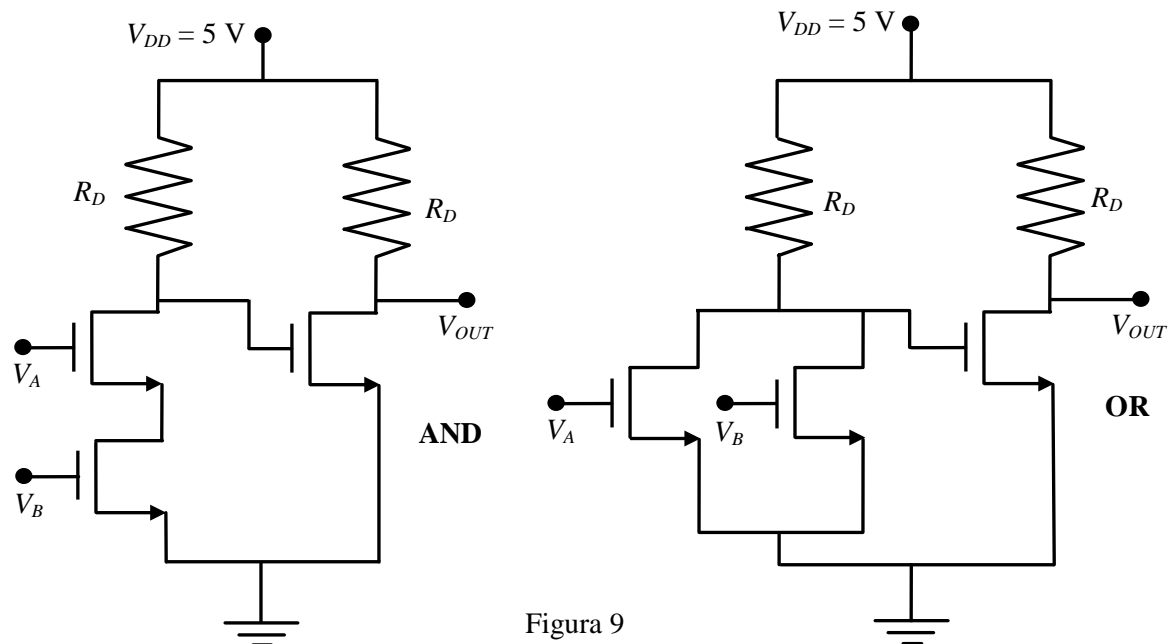
Figura 8

a les portes dels transistors, s'apliquen senyals de **0 o 5 V**, que corresponen respectivament als **valors lògics 0 i 1**, i s'analitza la tensió a la **sortida**. Pel cas de la porta **NAND** els transistors estan connectats en **sèrie**, mentre que pel cas **NOR** estan en **paral·lel**. En funció de les tensions a les entrades tenim:

- Si  $V_A = V_B = 0$ , els dos NMOS estan en **tall** i, per tant,  $V_{OUT} = 5$  V. El **valor lògic és 1**.
- Si  $V_A = 0$  i  $V_B = 5$  V, el transistor **A** està en **tall** i el **B** en **òhmica**. Pel cas de la porta **NAND**, com els NMOS estan en **sèrie**, només cal que un d'ells estigui en tall perquè no passi corrent per la resistència i  $V_{OUT} = 5$  V, que correspon a un **valor lògic 1**. En canvi, pel cas de la porta **NOR**, com els NMOS estan en **paral·lel**, només cal que hi hagi un que condueixi en òhmica perquè  $V_{OUT} = 0$ , que correspon a un **valor lògic 0**.
- Si  $V_A = 5$  V i  $V_B = 0$  V, s'obté el mateix valor lògic del cas anterior, però amb el transistor **A** estant en **òhmica** i el **B** en **tall**.
- Si  $V_A = V_B = 5$  V, els dos NMOS estan en **òhmica**, i per tant  $V_{OUT} = 0$ . El **valor lògic és 0**.

## 1.7 Portes lògiques AND i OR amb NMOS

A la figura 9 es mostren els esquemes de les **portes AND i OR** construïdes amb **tres NMOS**. Com es pot observar s'ha afegit un **inversor** que nega les funcions lògiques anteriors. Per això la **sortida** de les **portes NAND i NOR** es connecta a l'**entrada** o porta del **inversor**. La sortida de les portes AND i OR és la del propi inversor.



## 2. Exercicis previs

### 2.1 Tensions a les portes lògiques de díodes

El circuit de la figura 1 està format per una resistència de  $1\text{ k}\Omega$  i un díode. S'observa que quan la fem  $\varepsilon$  de la pila és  $5$  V, la diferència de potencial al díode és  $V_d = 0.66$  V. Amb aquesta informació determineu els valors de les tensions de les taules de veritat de

les portes lògiques OR i AND de les figures 2 i 3, quan les tensions a les entrades valen 0 i 5 V.

$V_A$	$V_B$	$V_{OR}$
0	0	
0	5	
5	0	
5	5	

$V_A$	$V_B$	$V_{AND}$
0	0	
0	5	
5	0	
5	5	

### 2.2 Corba característica d'un díode

A la figura 10 es mostra la corba característica d'un díode 1N4007, connectat en sèrie amb una resistència de  $100 \Omega$  (veure figura 1), determinada amb un oscil·loscopi de doble canal en mode X-Y. A l'eix horitzontal es representa la diferència de potencial al díode  $V_d$  i al vertical la de la resistència  $V_R$ . L'origen s'ha situat al punt O. Si els coeficients de deflexió de l'eix horitzontal (canal I) i vertical (canal II) valen respectivament  $0.2 \text{ V/div}$  i  $0.5 \text{ V/div}$ , determineu:

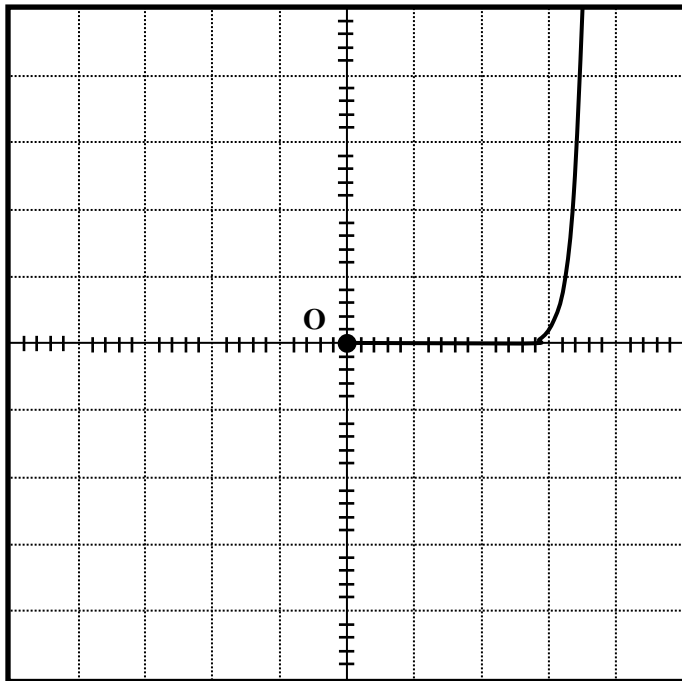


Figura 10

- 1) El valor del **potencial de contacte**  $V_\gamma$  del díode, aplicant el criteri de que és el valor de  $V_d$  pel que  $V_R = 0.1 \text{ V}$ . Observeu que, com la resistència és de  $100 \Omega$ , això equival a dir que la intensitat que circula pel circuit és de  $1 \text{ mA}$ .
- 2) El valor de  $V_d$  pel que  $V_R = 0.5 \text{ V}$  i, per tant, la intensitat és de  $5 \text{ mA}$ .

### 2.3 Característica de transferència d'un NMOS

A la figura 12 es mostra la característica de transferència ( $V_{GS}, V_{DS}$ ) corresponent a un circuit inversor format per un NMOS de potència IRF840, connectat a una resistència de  $1 \text{ k}\Omega$  (veure figura 7), que s'observa

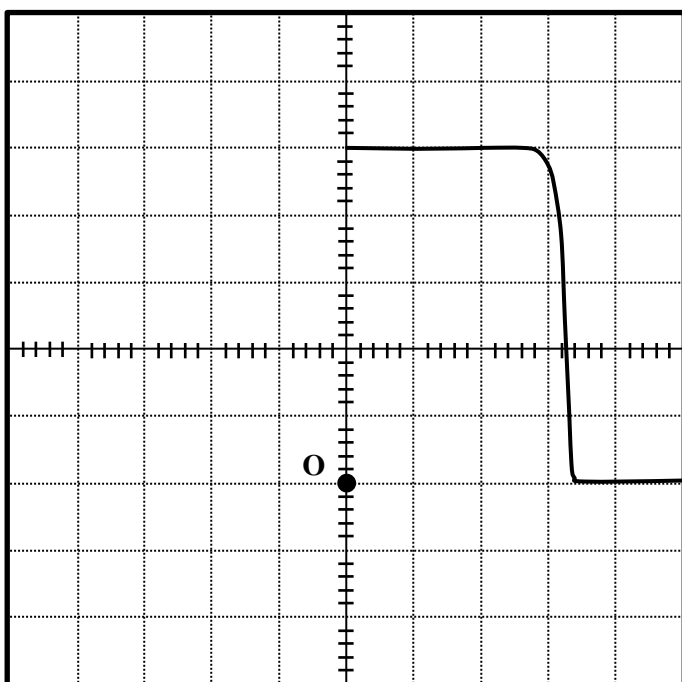


Figura 11

en un oscil·loscopi de doble canal que està en mode X-Y. Comparant les figures 6 i 11, tenint en compte que el coeficient de deflexió d'ambdós canals és de 1 V/div i que l'origen s'ha situat al punt O, determineu el valor de  $V_{DD}$  i de la tensió llindar  $V_T$ . A la pràctica  $V_T$  és el valor de la tensió d'entrada  $V_{GS}$  o  $V_{IN}$  a partir del qual la tensió a la sortida  $V_{DS}$  o  $V_{OUT}$  és nul·la.

### 3. Procediment de mesura

#### 3.1 Comproveu que en el lloc de treball teniu:

- 2 díodes 1N4007.
- 3 transistors NMOS IRF840.
- 7 cables banana-banana.
- 1 resistència de 100  $\Omega$ .
- 2 resistències de 1 k $\Omega$ .
- 1 font de tensió contínua.
- 1 polímetre.
- 1 tauler de connexions.
- 1 joc de connectors en forma de pont.
- 1 generador de funcions.
- 1 oscil·loscopi de doble canal.
- 1 cable BNC-BNC.
- 3 cables BNC-banana.
- 1 connector BNC en forma de T.

#### 3.2 Comprovació del bon estat dels fils de connexió

1. Comproveu que tots els **cables de connexió** estan en bon estat. Per això feu funcionar un dels polímetres com a **ohmímetre** i, en l'escala amb més resolució, mesureu la resistència de cada cable. Si és més gran que 1  $\Omega$  o varia quan sacsegem el cable, aquest està en mal estat i cal canviar-lo.

#### 3.3 Visualització de la corba característica d'un díode

1. Munteu el circuit de la figura 12 amb un dels díodes **1N4007** i la resistència de **100  $\Omega$** . Connecteu un dels cables BNC-banana entre la sortida de 50  $\Omega$  del generador de funcions i la part p (o ànode) del díode (banana vermella) i la resistència (banana negra). Per mesurar la diferència de potencial del díode  $V_d$  al canal I de l'oscil·loscopi, connecteu un altre cable BNC-banana entre l'entrada del canal I i els extrems del díode, amb la banana vermella al ànode i la negra al càtode (o part n). Per determinar la caiguda de tensió a la resistència  $V_R$  al canal II, connecteu l'altre cable BNC-

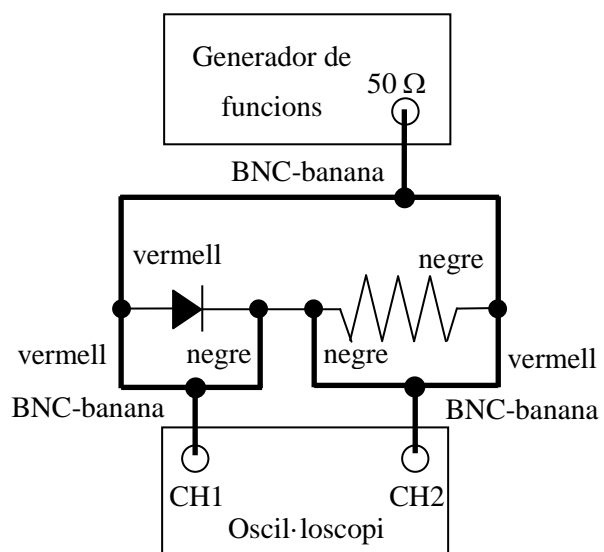


Figura 12

banana entre l'entrada del canal II i els extrems de la resistència, de manera que la banana negra estigui connectada a l'extrem de la resistència que està més a prop del càtode. Observeu que els borns negres dels cables connectats a l'oscil·loscopi estan en contacte, però no ho estan amb el del generador. De fet, això últim no és cap problema, ja que en realitat el generador de funcions està connectat a la xarxa elèctrica amb un endoll sense connexió a terra.

2. Poseu en marxa el generador de funcions i l'oscil·loscopi. Comproveu que tots els botons de l'oscil·loscopi no estan pitjats i que els diferents controls del generador de funcions, com el DC OFFSET i el SYM, estan en posició OFF. Apliqueu al generador de funcions un senyal **triangular** de **50 Hz** i doneu una mica de tensió amb el comandament AMPLITUDE. Premeu el **botó X-Y** de l'oscil·loscopi, i poseu ambdós canals en la posició GD o GND. A la pantalla ha d'aparèixer un punt que cal centrar a l'origen de coordenades amb els comandaments X-POS i Y-POS II (o X-POSITION i POSITION 2). Un cop centrat el punt, poseu els dos canals de l'oscil·loscopi en **posició DC** i torneu a prémer els botons GD dels dos canals per desactivar-los. Situeu el coeficient de deflexió del **canal I en 0.2 V/div**, i el del **II en 0.5 V/div**. Premeu el **botó INV del canal II**. Modifiqueu l'amplitud de sortida del generador amb el comandament AMPLITUDE fins que a la pantalla aparegui la corba característica del díode (veure figura 1).

3. Determineu el valor del **potencial de contacte  $V_p$** , aplicant el criteri de que és el valor de  $V_d$  pel que  $V_R = 0.1$  V. Observeu que, com la resistència és de 100  $\Omega$ , això equival a dir que la intensitat és de 1 mA. Determineu també el valor de  $V_d$  pel que  $V_R = 0.5$  V o la intensitat és de 5 mA.

4. A fi de comprovar el bon estat de l'altre díode munteu-lo al circuit i visualitzeu la seva corba característica.

### 3.4 Visualització de la característica de transferència d'un NMOS

En aquesta part de la pràctica visualitzarem la característica de transferència d'un NMOS amb l'oscil·loscopi, un generador de funcions i una font de tensió contínua. En primer lloc generarem **un senyal altern de valor mitjà no nul**. Per això:

1. Endol·leu el connector BNC en forma de T a la sortida de 50  $\Omega$  del generador de funcions. Connecteu una de les potes de la T al canal I de l'oscil·loscopi amb un cable BNC-BNC. Poseu en marxa el generador de funcions i l'oscil·loscopi. Comproveu que tots els botons de l'oscil·loscopi no estan pitjats i que els diferents controls del generador de funcions, com el DC OFFSET i el SYM, estan en posició OFF. Feu que l'oscil·loscopi treballi en el **canal I** amb una base de temps de **0.5 ms/div** i un coeficient de deflexió de **1 V/div**. Activeu el botó de terra de l'oscil·loscopi GD (o GND) i moveu els controls POSITION 1 (o Y-POS. I) i X-POSITION (X-POS.) de manera que la línia horitzontal que apareix a la pantalla estigui a la divisió 0. Aquest, per tant, serà l'origen del canal I. Desactiveu el botó GD i **activeu el mode DC**.

2. Apliqueu al generador de funcions un senyal triangular de **500 Hz** i moveu els controls **AMPLITUDE** i **DC OFFSET**, afegint un **senyal continu positiu**, de forma que a la pantalla de l'oscil·loscopi aparegui un **senyal triangular que oscil·li entre 0 i 5 V**, respecte l'origen.

Tot seguit visualitzarem la **característica de transferència**. Per això:



3. Munteu el circuit de la figura 13 en el tauler de connexions utilitzant la resistència de **1 k $\Omega$**  i un dels **NMOS IRF840**. Connecteu la font de tensió contínua a la font del NMOS (born negatiu) i la resistència (born positiu) amb dos cables banana-banana. Connecteu el generador de funcions a la porta i la font, utilitzant un cable BNC-banana, endollant la part BNC a l'altra pota de la T, la banana vermella a la porta i la negra a la font del NMOS. La sortida es visualitzarà al **canal II** de l'oscil·loscopi. Per això utilitzareu un altre cable BNC-banana amb la part BNC endollada al canal II, la banana negra a la font i la vermella al drenador. Activeu el **mode DC del canal II**. Poseu els coeficients de deflexió dels dos canals a **1 V/div**. Poseu en marxa la font de tensió contínua i **apliqueu un senyal de 5 V**. Observeu que si premeu el botó **DUAL** de l'oscil·loscopi, i moveu el control Y-POS. II (POSITION 2), veureu com el transistor inverteix el senyal.

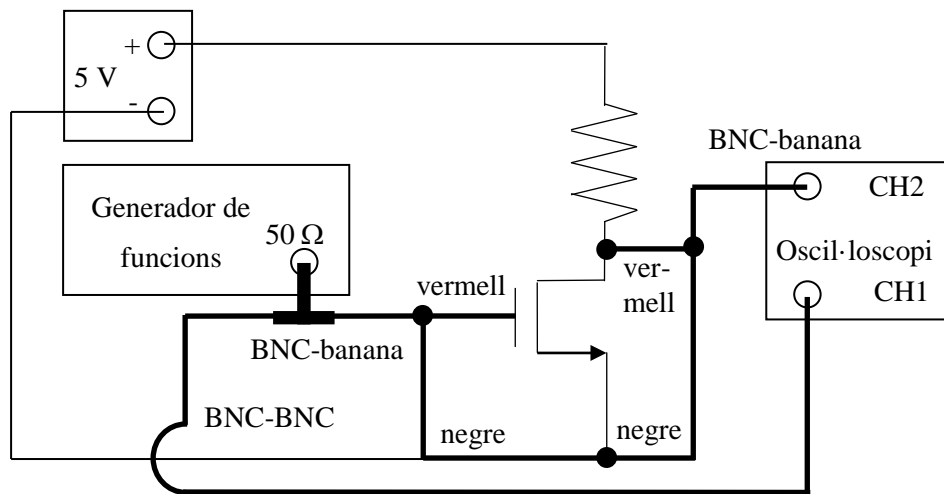


Figura 13

4. Premeu el botó **X-Y (XY)** de l'oscil·loscopi. A la pantalla veureu la característica de transferència ( $V_{GS}, V_{DS}$ ). Premeu els botons **GD (GND)** dels dos canals i, amb els controls **POSITION 2** (o **Y-POS. II**) i **X-POSITION (X-POS.)**, moveu el punt que apareix a la pantalla al lloc que considereu més convenient per fer les mesures. Aquest serà l'origen respecte el que es faran les mesures de les tensions. Desactiveu els controls **GD (GND)** d'ambdós canals i determineu el valor de la **tensió de tall  $V_T$** , que és el valor de la tensió  $V_{GS}$  a partir del qual la tensió  $V_{DS}$  és nul·la.

5. Feu el mateix amb els altres dos transistors a fi de comprovar que estan en bon estat.

### 3.5 Portes lògiques amb díodes

1. Amb els **dos díodes 1N4007**, la **font de tensió** i la **resistència de 1 k $\Omega$**  munteu la **porta lògica OR** de la figura 2 al tauler de connexions. Utilitzeu un dels polímetres com a **voltímetre** per mesurar la tensió a la sortida. Amb un cable banana-banana connecteu el **pol positiu** de la font de tensió a un **punt qualsevol** del tauler de connexions, on no hi hagi cap element, i un altre cable del pol negatiu (terra) de la font de tensió a la resistència. Engedueu la font de tensió i apliqueu un **voltatge de 5 V**.

2. Amb dos cables banana-banana **connecteu cada una de les entrades** als punts del tauler de connexions on hi ha la connexió a **0** (terra) i els **5 V**, i ompliu la taula de veritat de la porta lògica.

3. Feu el mateix amb la **porta lògica AND** de la figura 3. En aquest cas l'extrem de la resistència està a 5 V. El terra ho podeu situar a qualsevol punt del tauler, on no hi hagi cap element.

### 3.6 Portes lògiques amb transistors NMOS

1. Amb **un** dels transistors de potència **IRF840**, la **font de tensió** i la **resistència de 1 k $\Omega$**  munteu la **porta NOT** (figura 7) al tauler de connexions. Utilitzeu un dels polímetres com a **voltímetre** per mesurar la tensió a la sortida. Apliqueu una diferència de potencial de **5 V** a la font de tensió. Amb un cable banana-banana **connecteu l'entrada** (porta) als punts del tauler que estan a **0** (terra) i **5 V**. Ompliu la taula de veritat de la porta lògica.

2. Amb **dos transistors IRF840**, la **font de tensió** i la **resistència de 1 k $\Omega$**  munteu la **porta lògica NAND** (figura 8) al tauler de connexions. Utilitzeu un dels polímetres com a **voltímetre** per mesurar la tensió a la sortida. Apliqueu una diferència de potencial de **5 V** a la font de tensió. Amb dos cables banana-banana **connecteu les entrades** als punts del tauler que estan a **0 i 5 V**. Ompliu la taula de veritat de la porta lògica.

3. Feu el mateix per la **porta lògica NOR** de la figura 8.

4. Amb els **tres transistors IRF840**, la **font de tensió** i les **dues resistències de 1 k $\Omega$**  munteu la **porta lògica AND** (figura 9) al tauler de connexions. Respecte el cas anterior **connecteu el cable de la sortida de la porta NAND a la porta del tercer transistor, que fa d'inversor**. Utilitzeu un dels polímetres com a **voltímetre** per mesurar la tensió a la sortida. Apliqueu una diferència de potencial de **5 V** a la font de tensió. Amb dos cables banana-banana **connecteu les entrades** als punts del tauler que estan a **0 i 5 V**. Ompliu la taula de veritat de la porta lògica.

5. Feu el mateix per la **porta lògica OR** de la figura 9.

## Portes lògiques amb díodes i transistors NMOS

### Caracterització del díode

$V_\gamma = V_d(I=1mA)=$	$V_d(I=5mA)=$
--------------------------	---------------

### Caracterització del transistor NMOS

$V_T =$
---------

### Portes lògiques amb díodes

#### OR

<i>A</i>	<i>B</i>	$V_A$ (V)	$V_B$ (V)	$V_{OUT}$ (V)	<i>OUT</i>
0	0	0	0		
0	1	0	5		
1	0	5	0		
1	1	5	5		

#### AND

<i>A</i>	<i>B</i>	$V_A$ (V)	$V_B$ (V)	$V_{OUT}$ (V)	<i>OUT</i>
0	0	0	0		
0	1	0	5		
1	0	5	0		
1	1	5	5		

### Portes lògiques amb NMOS

#### NOT

<i>IN</i>	$V_{IN}$ (V)	$V_{OUT}$ (V)	<i>OUT</i>
0	0		
1	5		

#### NAND i AND

<i>A</i>	<i>B</i>	$V_A$ (V)	$V_B$ (V)	$V_{NAND}$ (V)	<i>NAND</i>	$V_{AND}$ (V)	<i>AND</i>
0	0	0	0				
0	1	0	5				
1	0	5	0				
1	1	5	5				

#### NOR i OR

<i>A</i>	<i>B</i>	$V_A$ (V)	$V_B$ (V)	$V_{NOR}$ (V)	<i>NOR</i>	$V_{OR}$ (V)	<i>OR</i>
0	0	0	0				
0	1	0	5				
1	0	5	0				
1	1	5	5				

